

LFR-FSW - Bug #95

La durée du boot/reboot du LFR FSW semble mal maîtrisée.

17/03/2014 04:48 PM - Gerald Saule

Status:	Closed	Start date:	17/03/2014
Priority:	Normal	Due date:	
Assignee:	bruno katra	% Done:	0%
Category:		Estimated time:	0.00 hour
Target version:		Spent time:	0.00 hour
revision:	r104		
Description			
<p>(Cette issue reprend Bug #698 "La durée du boot du LFR FSW semble trop longue" de pc-instru). Le pluggin dsu3plugin permet d'affiner les steps de validation.</p> <p>On a parfois des traces cohérentes avec le timing ci-dessous:</p> <p><u>Boot</u> 16:30:40.804085,FSW run() done. 16:30:41.040005, TM_LFR_HK</p> <p><u>Reboot</u> 16:30:56.23221,FSW run() done. 16:30:56.467706, TM_LFR_HK</p> <p>Mais la réception d'un TC juste après le boot peut retarder sensiblement l'arrivée de la première TM:</p> <p>16:24:15.690052,FSW run() done. 16:24:16.192459, TC_LFR_ENTER_MODE (CP_LFR_MODE=1) 16:24:17.918191, TM_LFR_HK</p> <p>La durée max est SY_LFR_DELAY_ACC_TC (500ms actuellement).</p> <p>Contexte:</p> <p>LPPMON Version=0.2.2 Branch=default Changeset=835955994d5f Carte mini-LFR:LFR-172200 dev V1.0; No série III (sans connecteurs sub-click) Vhdl: mini-lfr_0.0.15 Soft: 1.0.0.1 (variante sur carte finale) Brique Star-Dundee S/N 46120065.</p> <p>TEST CASE = SVS_0054</p> <p>RPW-SYS-MEB-LFR-ICD-00097 Issue2_Rev0 RPW-SYS-SSS-00013-LES + Annex_Release_Definition Issue2_rev1</p>			
Related issues:			
Related to Bug #113: Affectation des champs de TM_LFR_HK en fin de boot du LFR		Closed	02/04/2014

History

#1 - 28/03/2014 10:07 AM - paul leroy

- Status changed from New to Resolved

fsw >= 1.0.0.4

pour la mesure du temps de boot, un paquet HK est émis à la fin du boot avec tous les octets à 0xff hormis la révision du soft et la version du VHDL.

#2 - 15/05/2014 12:08 PM - paul leroy

- Assignee changed from paul leroy to bruno katra

#3 - 24/06/2014 04:18 PM - bruno katra

- Status changed from Resolved to Closed

Cela semble maintenant stable : mail Véro :

hello,

Pour info sur l'EM, le temps de boot varie entre **0x12c4 à 0x12cd** (fine time) avec VHDL=1.0.23

Sur la carte minilfr,

on était entre 0x0ea9 avec VHDL 0.0.16

on est à 0x12ca avec VHDL 0.0.23.

Véronique