

## LFR-FSW - Task #603

### 3.0.0.16

02/02/2016 03:55 PM - paul leroy

<b>Status:</b>	Closed	<b>Start date:</b>	02/02/2016
<b>Priority:</b>	Normal	<b>Due date:</b>	
<b>Assignee:</b>	bruno katra	<b>% Done:</b>	0%
<b>Category:</b>		<b>Estimated time:</b>	0.00 hour
<b>Target version:</b>		<b>Spent time:</b>	0.00 hour
<b>revision:</b>			
<b>Description</b>			
<hr/>			
<ul style="list-style-type: none"><li>3.0.0.16 *** 02 FEB 2016</li></ul> <hr/> <p><code>__fsw__</code> Changeset: 266 (3e5aabdb1fce)</p> <p>ASM restart updated Snapshot resynch updated watchdog fully functional hk_lfr_last_er_fields handled spacewire statistics management updated VHDL registers status stored in the HK packets</p>			

### History

#### #1 - 02/02/2016 04:33 PM - Veronique bouzid

- Assignee set to Veronique bouzid

Logiciel installé dans /opt/LFR/LFR-FSW/3.0.0.16

Mise à jour des scripts d'initialisation (Famille des /opt/VALIDATION\_R3/LFRControlPlugin\*) en positionnant FSW\_VER = "3.0.0.16"

Mise à jour du fichier /opt/VALIDATION\_R3/lfrverif/common/param.py

Lancement du script /home/validation/SCRIPT/just\_hk\_survey.py

Analyse de la premiere TM\_LFR\_HK

- Version du soft 3.0.0.16

- Watchdog activé SY\_LFR\_WATCHDOG\_ENABLED: ENABLED = 1

- detection erreur absence de timecode HK\_LFR\_TIMECODE\_MISSING=1,

- comptabilisation des erreurs HK\_LFR\_LE\_CNT=1, HK\_LFR\_ME\_CNT=0, HK\_LFR\_HE\_CNT=0,

- description de la derniere erreur détectée

HK\_LFR\_LAST\_ER\_RID: LE\_LFR\_TIMEC = 42129, HK\_LFR\_LAST\_ER\_CODE: MISSING = 21, HK\_LFR\_LAST\_ER\_TIME=0x800000022f33,

Voici un extrait du fichier utilisé pour valider un premier test:

```
16:14:10.847433, TM_LFR_HK, CCSDS_VERSION_NUMBER = 0, PACKET_TYPE: TM_PACKET = 0, DATA_FIELD_HEADER_FLAG:
WITH_HEADER = 1, PROCESS_ID: RPW_PID_2 = 76, PACKET_CATEGORY: HK_ROUTINE = 4, (PACKET_ID=0xcc4),
SEGMENTATION_GROUPING_FLAG: STANDALONE_PACKET = 3, SEQUENCE_CNT=8, (PACKET_SEQUENCE_CONTROL=0xcc08),
PACKET_LENGTH=129, SPARE_1=0, PUS_VERSION = 1, SPARE_2=0, SERVICE_TYPE:
HOUSEKEEPING_AND_DIAGNOSTIC_DATA_REPORTING = 3, SERVICE_SUBTYPE: HK_PARAMETER_REPORT = 25, DESTINATION_ID:
GROUND = 0, TIME=0x8000000a48da, PA_LFR_HK_REPORT_SID: LFR_HK_SID = 1, HK_LFR_MODE: STANDBY = 0,
HK_LFR_DPU_SPW_ENABLED: ENABLED = 1, HK_LFR_DPU_SPW_LINK_STATE: RUN = 5, SPARE=0x0, HK_LFR_SC_POTENTIEL_FLAG: ON
= 1, HK_LFR_MAG_FIELDS_FLAG: OFF = 0, SY_LFR_WATCHDOG_ENABLED: ENABLED = 1, HK_LFR_CALIB_ENABLED: DISABLED = 0,
HK_LFR_RESET_CAUSE: POWER_ON = 1, SY_LFR_SW_VERSION_N1=3, SY_LFR_SW_VERSION_N2=0, SY_LFR_SW_VERSION_N3=0,
SY_LFR_SW_VERSION_N4=16, SY_LFR_FPGA_VERSION_N1=1, SY_LFR_FPGA_VERSION_N2=1, SY_LFR_FPGA_VERSION_N3=89,
HK_LFR_CPU_LOAD=0.392156862745, HK_LFR_CPU_LOAD_MAX=3.13725490196, HK_LFR_CPU_LOAD_AVE=0.0,
HK_LFR_Q_SD_FIFO_SIZE_MAX=1, HK_LFR_Q_SD_FIFO_SIZE=50, HK_LFR_Q_RV_FIFO_SIZE_MAX=0, HK_LFR_Q_RV_FIFO_SIZE=10,
HK_LFR_Q_P0_FIFO_SIZE_MAX=0, HK_LFR_Q_P0_FIFO_SIZE=10, HK_LFR_Q_P1_FIFO_SIZE_MAX=0, HK_LFR_Q_P1_FIFO_SIZE=10,
HK_LFR_Q_P2_FIFO_SIZE_MAX=0, HK_LFR_Q_P2_FIFO_SIZE=5, HK_LFR_UPDATE_INFO_TC_CNT=0, HK_LFR_UPDATE_TIME_TC_CNT=0,
HK_LFR_EXE_TC_CNT=0, HK_LFR_REJ_TC_CNT=0, HK_LFR_LAST_EXE_TC_ID=0x0, HK_LFR_LAST_EXE_TC_TYPE=0,
HK_LFR_LAST_EXE_TC_SUBTYPE=0, HK_LFR_LAST_EXE_TC_TIME=0x000000000000, HK_LFR_LAST_REJ_TC_ID=0x0,
HK_LFR_LAST_REJ_TC_TYPE=0, HK_LFR_LAST_REJ_TC_SUBTYPE=0, HK_LFR_LAST_REJ_TC_TIME=0x000000000000,
HK_LFR_LE_CNT=1, HK_LFR_ME_CNT=0, HK_LFR_HE_CNT=0, HK_LFR_LAST_ER_RID: LE_LFR_TIMEC = 42129, HK_LFR_LAST_ER_CODE:
MISSING = 21, HK_LFR_LAST_ER_TIME=0x800000022f33, HK_LFR_VHDL_AA=0, HK_LFR_VHDL_SM=0, HK_LFR_VHDL_FFT=0,
HK_LFR_VHDL_SR=0, HK_LFR_VHDL_CIC=0, HK_LFR_VHDL_HK=0, HK_LFR_VHDL_IIR=0, HK_LFR_VHDL_CAL=0,
HK_LFR_DPU_SPW_PKT_RCV_CNT=0, HK_LFR_DPU_SPW_PKT_SENT_CNT=8, HK_LFR_DPU_SPW_TICK_OUT_CNT=0,
```

HK\_LFR\_DPU\_SPW\_LAST\_TIMC=0, HK\_LFR\_LAST\_FAIL\_ADDR=0x0, HK\_LFR\_TEMP\_SCM=202.49degC, HK\_LFR\_TEMP\_PCB=18.34degC, HK\_LFR\_TEMP\_FPGA=20.53degC, HK\_LFR\_SC\_V\_F3=592, HK\_LFR\_SC\_E1\_F3=504, HK\_LFR\_SC\_E2\_F3=378, SPARE=0x0, SY\_LFR\_BW=1, SY\_LFR\_SP0=0, SY\_LFR\_SP1=0, SY\_LFR\_R0=0, SY\_LFR\_R1=0, SY\_LFR\_R2=0, HK\_LFR\_DPU\_SPW\_PARITY=0, HK\_LFR\_DPU\_SPW\_DISCONNECT=0, HK\_LFR\_DPU\_SPW\_ESCAPE=0, HK\_LFR\_DPU\_SPW\_CREDIT=0, HK\_LFR\_DPU\_SPW\_WRITE\_SYNC=0, HK\_LFR\_DPU\_SPW\_RX\_AHB=0, HK\_LFR\_DPU\_SPW\_TX\_AHB=0, HK\_LFR\_DPU\_SPW\_EARLY\_EOP=0, HK\_LFR\_DPU\_SPW\_INVALID\_ADDR=0, HK\_LFR\_DPU\_SPW\_EEP=0, HK\_LFR\_DPU\_SPW\_RX\_TOO\_BIG=0, HK\_LFR\_TIMECODE\_ERRONEOUS=0, HK\_LFR\_TIMECODE\_MISSING=1, HK\_LFR\_TIMECODE\_INVALID=0, HK\_LFR\_TIME\_TIMECODE\_IT=0, HK\_LFR\_TIME\_NOT\_SYNCHRO=0, HK\_LFR\_TIME\_TIMECODE\_CTR=0, HK\_LFR\_BUFFER\_DPU\_TC\_FIFO=0, HK\_LFR\_BUFFER\_DPU\_TM\_FIFO=0, HK\_LFR\_AHB\_CORRECTABLE=0, HK\_LFR\_AHB\_UNCORRECTABLE=0, SPARE=0x0

Je démarre donc la campagne de tests fonctionnels ainsi que les tests pour valider les SWF.

## #2 - 03/02/2016 12:49 PM - thomas chust

- File plot\_delta\_SWF\_F0\_test1.png added
- File plot\_delta\_SWF\_F0\_test2.png added
- File plot\_delta\_SWF\_F1\_test1.png added
- File plot\_delta\_SWF\_F1\_test2.png added
- File plot\_delta\_SWF\_F2\_test1.png added
- File plot\_delta\_SWF\_F2\_test2.png added
- File tests\_time\_swf\_VHDL-1.1.89\_FSW-3.0.0.16\_2016\_02\_03\_test1 added
- File tests\_time\_swf\_VHDL-1.1.89\_FSW-3.0.0.16\_2016\_02\_03\_test2 added
- Assignee changed from Veronique bouzid to paul leroy

Tests fait sur la synchro:

- test 1 : SBM1 30min + SBM2 30min
- test 2 : NM 60 min

Résultats: pas mal du tout, bravo Paul ! (voir fichiers joints)

Un bémol: est-ce que si le test durait plus longtemps (disons 12-24h) on n'observerait pas un décalage global bien plus grand de qqes dizaines de ms ?

Sur les données SBM on devine en effet une tendance à la baisse des courbes oscillantes; sur les données NM ce n'est pas vraiment visible ?

## #3 - 03/02/2016 12:52 PM - bruno katra

Pour répondre à Thomas : le plan de validation de Véro et moi inclue des tests longs en nominal que nous allons lancer ce soir. Ça consiste en 15h de NORMAL mode avec les SWF à 300s et le TIMEGEN : on va voir ce que ça donne...

## #4 - 03/02/2016 01:46 PM - paul leroy

**En travaillant sur l'explication de la resynchro, et en faisant des tests en parallèle, j'ai vu un truc bizarre (une correction qui s'applique avec un décalage que je ne comprenais pas). J'ai modifié un peu la resynchro et ça a corrigé cet aléa qui pouvait se produire. A suivre dans la révision 3.0.0.17**

Normalement ça ne devrait pas descendre davantage. La correction se fait de façon cyclique, en deux étapes [MEASURE, CORRECTION]. On démarre dans l'état MEASURE. Le paramètre sur lequel on joue est delta\_snapshot.

MEASURE à la réception du snapshot (k), on mesure une correction qui sera appliquée sur le snapshot (k+1) et on passe dans l'état CORRECTION. À la réception du snapshot (k+1) on enlève la correction (retour à la valeur nominale de delta\_snapshot pour le snapshot k+3), on retourne à l'état MEASURE.

En c dans le texte, ça donne ça:

```
switch (state)
{
    case MEASURE:
        // *****
        PRINTF("MEASURE ===\n");
        state = CORRECTION;
        correction = computeCorrection( timePtr );
        PRINTF1("MEASURE === correction = %.2f\n", correction );
        applyCorrection( correction );
        PRINTF1("MEASURE === delta_snapshot = %d\n", waveform_picker_regs->delta_snapshot);
        //****
        break;

    case CORRECTION:
```

```

//*****
PRINTF("CORRECTION ===\n");
state = MEASURE;
computeCorrection( timePtr );
correction = -correction;
PRINTF1("CORRECTION === correction = %.2f\n", correction );
applyCorrection( correction );
PRINTF1("CORRECTION === delta_snapshot = %d\n", waveform_picker_regs->delta_snapshot);
//****
break;

```

```

default:
    break;

```

```

}

```

#### #5 - 03/02/2016 04:00 PM - paul leroy

- File 2016\_02\_03\_15\_40\_28.png added

#### #6 - 05/02/2016 07:45 AM - paul leroy

- Assignee changed from paul leroy to bruno katra

#### #7 - 24/03/2017 11:50 AM - bruno katra

- Status changed from New to Closed

### Files

README	16.9 KB	02/02/2016	paul leroy
fsw	4.06 MB	02/02/2016	paul leroy
plot_delta_SWF_F0_test1.png	189 KB	03/02/2016	thomas chust
plot_delta_SWF_F0_test2.png	188 KB	03/02/2016	thomas chust
plot_delta_SWF_F1_test1.png	187 KB	03/02/2016	thomas chust
plot_delta_SWF_F1_test2.png	185 KB	03/02/2016	thomas chust
plot_delta_SWF_F2_test1.png	190 KB	03/02/2016	thomas chust
plot_delta_SWF_F2_test2.png	189 KB	03/02/2016	thomas chust
tests_time_swf_VHDL-1.1.89_FSW-3.0.0.16_2016_02_03_test1	116 KB	03/02/2016	thomas chust
tests_time_swf_VHDL-1.1.89_FSW-3.0.0.16_2016_02_03_test2	116 KB	03/02/2016	thomas chust
2016_02_03_15_40_28.png	37.8 KB	03/02/2016	paul leroy