Solar Orbiter LFR - Task #230

Rédaction de la demande de modification pour STEEL

27/08/2014 02:53 PM - paul leroy

Status:	Closed	**Start date:**	27/08/2014
Priority:	Normal	**Due date:**	
Assignee:	Vincent Leray	**% Done:**	0%
Category:		**Estimated time:**	0.00 hour
Target version:		**Spent time:**	0.00 hour
revision:			

Description

Compléter la liste pour la demande de modification à adresser à STEEL:
=> ajout des capas sur les entrées BIAS_4 et BIAS_5 (modification répercutée dans les schémas de la carte)
=> ajout du convertisseur de niveau (modification documentée dans les schémas de la carte)
=> séparer le plus possible les signaux numériques et analogiques suite à étude du bruit additionnel observé lors des tests (surtout les signaux connectés aux circuits LVDS, en réception et émission). Joindre la note technique?
=> modification de l'encombrement attribué à TCS: possibilité d'agrandir la zone routée pour LFR afin de garantir la propreté des signaux analogiques. La règle à retenir reste l'isolation électrique complète entre LFR et TCS
=> modification du connecteur TCS, documentée dans le schéma TCS (impact sur le boitier d'intégration, notamment sur les harnais de conexion entre la carte LFR et le boitier). Livraison d'une mise à jour des plans mécanique indispensable => voir le LESIA.

History

#1 - 02/09/2014 12:00 PM - Vincent Leray

- File RPW-MEB-LFR-QAD-00122-LPP_Draft1_(ECP_LFR_EQMDesign).docx added

Ci joint le draft V1 de la demande de modification, à compléter avec tous les documents cités mis à jour.

#2 - 17/09/2014 12:51 PM - Alexis Jeandet

Il faut aussi vérifier si l'entrée CLK des ADCs n'est pas compatible 3.3V sinon il faut adapter pour du 2.5V (simple diviseur résistif).

#3 - 23/09/2014 02:26 PM - paul leroy

Ajouter à la demande le changement de taille pour les résistances 0.1 et 0.2 ohm.

=> faire référence à la DCL mise à jour et insister dans la demande de modification pour qu'une relecture approfondie soit faite.

#4 - 26/09/2014 11:19 AM - Vincent Leray

~~Demander une modification du boitier pour avoir un JTAG qui cohabite sur connecteur TCS (passage sur 25pts).~~

#5 - 29/09/2014 02:59 PM - paul leroy

Montrer dans la demande de modification la solution proposée par Manudax pour le retrofit (module avec pattes de type gullwing), email du 26/09
=> influence éventuelle sur l'empreinte CQ352 utilisée par STEEL
=> procédure de démontage à définir pour avoir une empreinte propre pour l'utilisation du socket RTAX après démontage du modeul gullwing

#6 - 01/10/2014 07:48 AM - paul leroy

- File SO-ED-RPW-SC-0102-LPC2E SCM thermal control electrical schemes V22.pdf added

- File SO-LI-RPW-SC-0048-LPC2E_02_03_(DCL-RPW-SCM-THERM).xls added

Remarques de TCS:
=> STEEL doit calculer la largeur des pistes et la clearance à partir de la valeur des courants et des ECSS
=> le plan de masse de TCS doit être sur la même couche que celui de LFR
=> pas de contrainte sur la position des composants

#7 - 01/10/2014 07:48 AM - paul leroy

- Assignee changed from Alexis Jeandet to Vincent Leray

#8 - 01/10/2014 02:37 PM - Vincent Leray

Alexis Jeandet wrote:

> Il faut aussi vérifier si l'entrée CLK des ADCs n'est pas compatible 3.3V sinon il faut adapter pour du 2.5V (simple diviseur résistif).

Est-ce que cela a été vérifié?

#9 - 02/10/2014 11:39 AM - Vincent Leray

- File RPW-MEB-LFR-DCL-00009-LPP_03_08_(EEE_List).xls added

Ajout de la dernière DCL intégrant les derniers composants (level shifter, capac céramique 4.7µF). Cette version est OK avec les derniers approvisionnements.
La version de travail en 3.9 est sur gargantua.

#10 - 02/10/2014 11:41 AM - Vincent Leray

Vincent Leray wrote:

> Alexis Jeandet wrote:
>
> > Il faut aussi vérifier si l'entrée CLK des ADCs n'est pas compatible 3.3V sinon il faut adapter pour du 2.5V (simple diviseur résistif).
>
> Est-ce que cela a été vérifié?

Alexis, peux tu répondre à ça?
Alexis, peux tu ajouter un lien ou une référence à la dernière schématique?

#11 - 02/10/2014 12:04 PM - Vincent Leray

- File deleted (RPW-MEB-LFR-DCL-00009-LPP_03_08_(EEE_List).xls)

#12 - 02/10/2014 12:12 PM - Vincent Leray

- File RPW-MEB-LFR-DCL-00009-LPP_03_08_(EEE_List).xls added

Coquille corrigée. Le connecteur J700 est supprimé car géré sur la liste TCS.

#13 - 06/10/2014 12:11 PM - Vincent Leray

Point soulevé au consortium meeting: Filtres en entrée des alims, structure proposée dans la spec MEB 3.0. Il faut analyser si la spec MEB 3.0 est bien prise en compte.

#14 - 12/10/2014 05:34 PM - Alexis Jeandet

Vincent Leray wrote:

> Vincent Leray wrote:
>
> > Alexis Jeandet wrote:
> >
> > > Il faut aussi vérifier si l'entrée CLK des ADCs n'est pas compatible 3.3V sinon il faut adapter pour du 2.5V (simple diviseur résistif).
> >
> > Est-ce que cela a été vérifié?
>
> Alexis, peux tu répondre à ça?
> Alexis, peux tu ajouter un lien ou une référence à la dernière schématique?

J'ai modifié le schéma, j'utilise les résistances 12k pour diviser le 3.3V en 2.5V.

#15 - 12/10/2014 05:38 PM - Alexis Jeandet

Vincent Leray wrote:

> Point soulevé au consortium meeting: Filtres en entrée des alims, structure proposée dans la spec MEB 3.0. Il faut analyser si la spec MEB 3.0 est bien prise en compte.

Ici la solution la plus sure est de garder nos structures avec de grosses valeurs de capa, sachant qu'on a passé les tests EMC. Et si vraiment les

capa sont trop grosses pour LVPS/PDU dans ce cas on peut en dessouder sur le EM+ et ne pas tout souder sur le FM.

#16 - 13/10/2014 03:04 PM - Alexis Jeandet

- File QM_SOLO_LFR-01.07.PDF added

Voici le schéma 1.07 pour relecture, si tout est OK de votre coté, je le pose dans les documents avec les autres schémas.

#17 - 13/10/2014 06:17 PM - Vincent Leray

- File deleted (SO-ED-RPW-SC-0102-LPC2E SCM thermal control electrical schemes V22.pdf)

#18 - 13/10/2014 06:17 PM - Vincent Leray

- File deleted (SO-LI-RPW-SC-0048-LPC2E_02_03_(DCL-RPW-SCM-THERM).xls)

#19 - 13/10/2014 06:17 PM - Vincent Leray

- File deleted (RPW-MEB-LFR-QAD-00122-LPP_Draft1_(ECP_LFR_EQMDesign).docx)

#20 - 13/10/2014 06:18 PM - Vincent Leray

- File SO-ED-RPW-SC-0102-LPC2E SCM thermal control electrical schemes V23.pdf added

- File RPW-MEB-LFR-QAD-00122-LPP_01_00_(ECP_LFR_EQMDesign).docx added

- File SO-LI-RPW-SC-0048-LPC2E_02_04_(DCL-RPW-SCM-THERM).xls added

J'ai remis à jour la Change Request, et réintégré les mises à jour de Guillaume.

#21 - 14/10/2014 09:36 AM - Alexis Jeandet

- Voir quels composants sont à approvisionner en industriel.
- Controller les quantités de composants dans la DCL /!\ capa de 100nF, res 12k, RHFACT541K01V.
- Changer de 1 connecteur pour le JTAG et le TAG-Connect vers 2 connecteurs.
- Changer les Capa 47µF en **4,7µF** 18123C475KER6C2
- Vérifier si il faut ajouter des résistances de "pull-down/up" sur les entrées non utilisées du FPGA et les autres composants.

#22 - 14/10/2014 11:18 AM - Alexis Jeandet

- File deleted (RPW-MEB-LFR-QAD-00122-LPP_01_00_(ECP_LFR_EQMDesign).docx)

#23 - 14/10/2014 11:18 AM - Alexis Jeandet

- File RPW-MEB-LFR-QAD-00122-LPP_01_00_(ECP_LFR_EQMDesign).docx added

#24 - 14/10/2014 11:22 AM - Alexis Jeandet

- File Remarque_Placement_STEEL.odg added

#25 - 14/10/2014 01:30 PM - Alexis Jeandet

- File deleted (Remarque_Placement_STEEL.odg)

#26 - 14/10/2014 01:31 PM - Alexis Jeandet

- File Remarque_Placement_STEEL.pdf added

#27 - 14/10/2014 07:34 PM - Alexis Jeandet

Pour le FPGA voici ce que dit la DOC:

PRA/B/C/D2 Probes A, B, C, and D

> The dedicated probe pins are used to output data from any user-defined design node within the device (controlled with Silicon Explorer II). These independent diagnostic pins can be used to allow real-time diagnostic output of any signal path within the device. The pins' probe capabilities can be permanently disabled to protect programmed design confidentiality. Refer to Table 2-117 on page 2-134 for recommendations on pin status for flight boards.

TRST Boundary Scan Reset Pin

> The TRST pin functions as an active-low input to asynchronously initialize or reset the boundary scan

circuit. The TRST pin is equipped with a programmable pull-up resistor with approximately 10 kΩ resistance. This pin must be hardwired to ground for flight.

NC No Connection

This pin is not connected to circuitry within the device, or to any other pin in the package. These pins can be driven to any voltage or can be left floating with no effect on the operation of the device.

HCLKA/B/C/D Dedicated (Hardwired)

Clocks A, B, C, and D
These pins are the clock input for sequential modules. Input levels are compatible with all supported I/O standards (there is a P/N pin pair for support of differential I/O standards). This input is directly wired to each R-cell and offers clock speeds independent of the number of R-cells being driven. HCLK pins may be used either as HCLK inputs or as user I/Os. If they are not being used for either purpose, Microsemi recommends that they are tied to a known state.

CLKE/F/G/H Global Clocks E, F, G, and H

These pins are clock inputs for clock distribution networks. Input levels are compatible with all supported I/O standards (there is a P/N pin pair for support of differential I/O standards). The clock input is buffered prior to clocking the R-cells. CLK pins may be used either as CLK inputs or as user I/Os. If they are not being used for either purpose, Microsemi recommends that they are tied to a known state.

Par contre rien pour les IOs.

#28 - 08/04/2015 07:47 AM - paul leroy

- Status changed from New to Closed

EQM livré le 19 mars 2015.

Files

RPW-MEB-LFR-DCL-00009-LPP_03_08_(EEE_List).xls	1.16 MB	02/10/2014	Vincent Leray
QM_SOLO_LFR-01.07.PDF	56 MB	13/10/2014	Alexis Jeandet
SO-ED-RPW-SC-0102-LPC2E SCM thermal control electrical schemes.pdf	223 KB	13/10/2014	Vincent Leray
SO-LI-RPW-SC-0048-LPC2E_02_04_(DCL-RPW-SCM-THERM).xls	699 KB	13/10/2014	Vincent Leray
RPW-MEB-LFR-QAD-00122-LPP_01_00_(ECP_LFR_EQMDesign).docx	77.6 KB	14/10/2014	Alexis Jeandet
Remarque_Placement_STEEL.pdf	216 KB	14/10/2014	Alexis Jeandet